

Desain dan Analisis Ring Oscillator CMOS 9-Tahap pada Frekuensi 2,4 GHz

Denny H.T. Nugroho*, Abiyyu Pahlevi Syahputra, Naufal Farros

Teknik Elektro, Fakultas Teknologi Industri, Institut Teknologi Sumatera
Jl. Terusan Ryacudu, Way Hui, Kec. Jati Agung, Kabupaten Lampung Selatan, Lampung 35365
E-mail: denny.nugroho@el.itera.ac.id(*)

Naskah Masuk: 20 Februari 2026; Diterima: 21 Agustus 2026; Terbit: 30 September 2026

ABSTRAK

Abstrak - Perkembangan pesat sistem komunikasi nirkabel pada pita frekuensi 2,4 GHz, seperti *Wi-Fi*, *Bluetooth*, dan *Internet of Things* (IoT), mendorong kebutuhan pembangkit frekuensi berdaya rendah yang mudah diintegrasikan pada teknologi *Complementary Metal-Oxide-Semiconductor* (CMOS). Penelitian ini menyajikan desain dan analisis *ring oscillator* sembilan tahap sebagai pembangkit frekuensi untuk aplikasi nirkabel terintegrasi dengan teknologi CMOS 45 nm berbasis *Predictive Technology Model* (PTM) menggunakan model BSIM4. Perancangan dilakukan pada level transistor menggunakan *inverter* CMOS dengan jumlah tahap ganjil, sedangkan evaluasi kinerja rangkaian dilakukan melalui simulasi transien dan analisis spektrum frekuensi. Simulasi dilakukan menggunakan *Electric* sebagai alat perancangan rangkaian dan *LTspice* sebagai simulator berbasis SPICE. Hasil simulasi tahap pra-layout menunjukkan bahwa *ring oscillator* yang diusulkan mampu menghasilkan osilasi stabil dengan frekuensi sebesar 2,44 GHz pada tegangan suplai 1,0 V. Analisis konsumsi daya menunjukkan bahwa rangkaian mengonsumsi daya rata-rata sebesar 254 μ W pada kondisi *steady-state*. Efisiensi desain dievaluasi menggunakan *Figure of Merit* (FoM) berbasis daya-frekuensi dan diperoleh nilai FoM sebesar 9,61 GHz/mW. Hasil ini menunjukkan bahwa desain *ring oscillator* 9 tahap dengan teknologi CMOS 45 nm yang diusulkan memiliki efisiensi daya yang kompetitif serta berpotensi digunakan sebagai pembangkit frekuensi pada sistem nirkabel terintegrasi berdaya rendah, khususnya untuk aplikasi IoT dan perangkat berbasis baterai.

Kata kunci: *ring oscillator*, CMOS 45 nm, 2.4 GHz, konsumsi daya, IoT

ABSTRACT

Abstract - The rapid development of wireless communication systems operating in the 2,4 GHz frequency band, such as *Wi-Fi*, *Bluetooth*, and the *Internet of Things* (IoT), has increased the demand for low-power frequency generators that can be easily integrated using *Complementary Metal-Oxide-Semiconductor* (CMOS) technology. This paper presents the design and analysis of a 9-stage ring oscillator serving as a frequency generator for wireless applications, implemented using 45 nm CMOS technology based on the *Predictive Technology Model* (PTM) and the BSIM4 model. The circuit is designed at the transistor level using CMOS inverters with an odd number of stages, while its performance is evaluated through transient simulation and frequency spectrum analysis. Simulations are carried out using *Electric* as the integrated circuit design tool and *LTspice* as a SPICE-based circuit simulator. Pre-layout simulation results show that the proposed ring oscillator achieves stable oscillation at a frequency of 2,44 GHz with a supply voltage of 1,0 V. Power consumption analysis indicates an average power dissipation of 254 μ W under steady-state operation. Design efficiency is evaluated using a power-frequency-based *Figure of Merit* (FoM), yielding a FoM value of 9,61 GHz/mW. These results demonstrate that the proposed 9-stage 45 nm CMOS ring oscillator exhibits competitive power efficiency and is suitable for low-power integrated wireless systems, particularly for IoT applications and battery-powered devices.

Keywords: *ring oscillator*, CMOS 45 nm, 2.4 GHz, low power, IoT

Copyright © 2026 Jurnal Teknik Elektro dan Komputasi (ELKOM)

1. PENDAHULUAN

Perkembangan pesat sistem komunikasi nirkabel pada pita frekuensi 2,4 GHz, seperti *Wi-Fi*, *Bluetooth*, dan jaringan *Internet of Things* (IoT), mendorong kebutuhan akan rangkaian pembangkit frekuensi yang hemat daya, stabil, dan mudah diintegrasikan pada teknologi *Complementary Metal-Oxide-Semiconductor* (CMOS). Pita frekuensi ini termasuk dalam *Industrial, Scientific, and Medical* (ISM) band yang bersifat bebas lisensi dan digunakan secara luas pada berbagai perangkat nirkabel modern, mulai dari perangkat elektronik hingga sistem sensor terdistribusi. Seiring meningkatnya kebutuhan integrasi dan efisiensi

energi, rancangan rangkaian pembangkit frekuensi menjadi salah satu aspek kunci dalam pengembangan sistem nirkabel terintegrasi [1]. Pada sistem *System-on-Chip* (SoC), keberadaan *local oscillator* (LO) berperan penting dalam menentukan akurasi frekuensi, kestabilan sistem, serta kualitas spektral sinyal nirkabel yang dihasilkan. LO digunakan sebagai sumber referensi frekuensi pada blok *frequency synthesizer* yang selanjutnya dimanfaatkan oleh mixer untuk proses *up-conversion* dan *down-conversion* sinyal. Oleh karena itu, karakteristik osilator, seperti frekuensi osilasi dan konsumsi daya, secara langsung memengaruhi performa keseluruhan sistem komunikasi nirkabel [2].

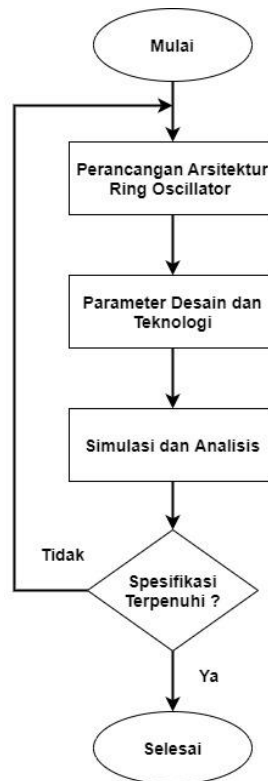
Pada implementasinya, osilator pada rangkaian terintegrasi direalisasikan menggunakan dua pendekatan utama, yaitu osilator induktor-kapasitor (*LC oscillator*) dan *ring oscillator*. *LC oscillator* dikenal memiliki karakteristik *phase noise* yang relatif baik karena adanya elemen resonansi pasif. Namun, penggunaan induktor terintegrasi pada teknologi CMOS menimbulkan sejumlah keterbatasan, seperti kebutuhan area yang besar, faktor kualitas (*quality factor*) yang rendah, serta kompleksitas proses fabrikasi. Sebaliknya, *ring oscillator* menawarkan struktur rangkaian yang lebih sederhana, area layout yang kecil, dan kompatibilitas tinggi dengan proses CMOS skala nanometer, sehingga banyak digunakan dalam sistem terintegrasi berdaya rendah dan rangkaian *on-chip clock generation* [3], [4]. Penelitian terkini menunjukkan bahwa *ring oscillator* tetap relevan dan menarik untuk aplikasi nirkabel terintegrasi modern, khususnya pada pita frekuensi 2,4 GHz. Burnett dkk. (2021) melaporkan penggunaan *ring-oscillator-based transceiver* pada frekuensi 2,4 GHz untuk IoT berukuran sangat kecil tanpa referensi kristal eksternal, yang menunjukkan potensi *ring oscillator* sebagai solusi untuk sistem berdaya rendah tanpa kristal eksternal [5]. Selain itu, pengembangan *phase-locked loop* (PLL) berbasis *ring oscillator* juga banyak dilaporkan untuk aplikasi *Bluetooth Low Energy* dengan fokus pada efisiensi daya dan kestabilan frekuensi yang memadai [6], [7], [8], [9], [10], [11].

Meskipun memiliki berbagai keunggulan, *ring oscillator* memiliki tantangan utama terkait kestabilan frekuensi dan kualitas spektral sinyal keluaran. Frekuensi osilasi *ring oscillator* sangat bergantung pada waktu tunda elemen *inverter*, yang dipengaruhi oleh variasi proses fabrikasi, tegangan suplai, dan temperatur. Oleh karena itu, perancangan *ring oscillator* pada frekuensi *gigahertz* memerlukan pemilihan jumlah tahap dan parameter transistor yang tepat untuk memperoleh kompromi optimal antara frekuensi, konsumsi daya, dan kestabilan operasi. Dalam konteks teknologi CMOS skala nanometer, *ring oscillator* semakin menarik untuk dikaji karena kemampuan transistor berkecepatan tinggi yang memungkinkan operasi pada frekuensi *gigahertz* dengan tegangan suplai yang relatif rendah. Pendekatan ini telah lama menjadi perhatian dalam pengembangan osilator terintegrasi berfrekuensi tinggi dan simulasi rangkaian analog berkecepatan tinggi, khususnya untuk aplikasi Radio Frekuensi (RF) dan *mixed-signal* [11], [12], [13]. Selain itu, kajian yang secara khusus membahas desain dan analisis *ring oscillator multi-stage* berbasis teknologi CMOS 45 nm pada frekuensi 2,4 GHz untuk aplikasi nirkabel terintegrasi masih relatif terbatas. Sebagian besar penelitian terdahulu berfokus pada *ring oscillator* sebagai bagian dari sistem PLL atau *frequency synthesizer* yang lebih kompleks, sementara analisis terperinci terhadap *ring oscillator free-running* dari sisi frekuensi osilasi dan konsumsi daya berbasis simulasi level transistor belum banyak dilaporkan secara terfokus [14].

Berdasarkan latar belakang tersebut, penelitian ini menyajikan desain dan analisis *ring oscillator* 9 tahap berbasis teknologi CMOS 45 nm yang ditujukan untuk aplikasi nirkabel terintegrasi pada frekuensi 2,4 GHz. Analisis difokuskan pada karakteristik frekuensi osilasi, konsumsi daya, serta evaluasi efisiensi desain melalui *Figure of Merit* (FoM) berbasis daya-frekuensi. Kontribusi utama dari penelitian ini adalah penyajian desain dan analisis performa *ring oscillator* 9 tahap yang dapat dijadikan acuan awal dalam pengembangan pembangkit frekuensi berdaya rendah pada sistem nirkabel terintegrasi berbasis CMOS, khususnya untuk aplikasi pada pita ISM 2,4 GHz.

2. METODE

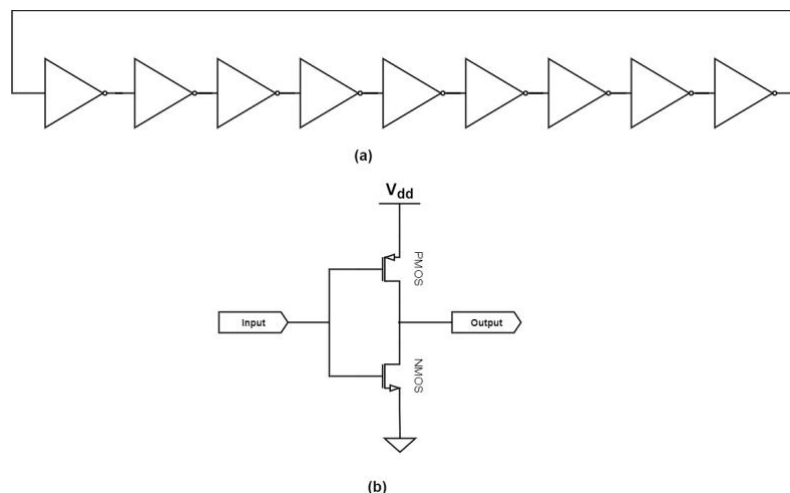
Bagian ini menjelaskan metode perancangan dan analisis *ring oscillator* 9 tahap berbasis teknologi CMOS 45 nm yang ditujukan untuk aplikasi nirkabel terintegrasi pada frekuensi 2,4 GHz. Gambar 1 menunjukkan metode yang digunakan, meliputi: perancangan arsitektur rangkaian, penentuan parameter desain transistor, dan evaluasi kinerja melalui simulasi transistor-level.



Gambar 1. Diagram alir metode perancangan dan analisis *ring oscillator* 9 tahap berbasis teknologi CMOS 45 nm

2.1. Perancangan Arsitektur *Ring Oscillator*

Arsitektur *ring oscillator* yang dirancang terdiri dari sembilan buah inverter CMOS yang dihubungkan secara berantai membentuk sebuah *loop* tertutup dengan jumlah tahap ganjil seperti yang ditunjukkan pada Gambar 2.a. Pemilihan jumlah tahap sembilan dilakukan untuk memperoleh keseimbangan antara frekuensi osilasi, kestabilan sinyal, dan konsumsi daya. Pada konfigurasi ini, keluaran *inverter* terakhir diumpan balikkan ke masukan inverter pertama sehingga tidak terdapat keadaan logika stabil, yang menyebabkan rangkaian menghasilkan osilasi secara berkelanjutan. Setiap inverter direalisasikan menggunakan pasangan transistor PMOS dan NMOS (Gambar 2.b) dalam konfigurasi CMOS. Struktur CMOS dipilih karena kemampuannya menghasilkan penguatan tegangan yang memadai dengan konsumsi daya statik yang rendah. Pada *ring oscillator*, proses osilasi terjadi akibat akumulasi waktu tunda propagasi sinyal pada setiap inverter yang tersusun dalam *loop*. Oleh karena itu, frekuensi osilasi sangat dipengaruhi oleh karakteristik waktu tunda masing-masing *inverter* serta jumlah tahap yang digunakan dalam rangkaian [3].



Gambar 2. (a) Struktur *ring oscillator* 9 tahap (b) rangkian *inverter* CMOS

Secara teoritis, frekuensi osilasi dari sebuah *ring oscillator* bergantung pada waktu tunda propagasi yang dinyatakan dengan τ_d dari setiap tahap dan jumlah tahap n yang digunakan. Agar osilasi dapat berlangsung secara terus-menerus, rangkaian harus memenuhi kondisi *Barkhausen*, yaitu memberikan pergeseran fase total sebesar 2π dan memiliki penguatan loop sama dengan satu pada frekuensi osilasi. Pada *ring oscillator* dengan n buah inverter, setiap tahap memberikan pergeseran fase sebesar π/n , sedangkan pembalikan logika DC dari inverter memberikan pergeseran fase tambahan sebesar π . Dengan demikian, sinyal harus melewati seluruh tahap inverter sebanyak dua kali dalam satu periode osilasi untuk menghasilkan pergeseran fase total sebesar 2π [2].

Frekuensi osilasi *ring oscillator* dinyatakan sebagai:

$$f_{osc} = \frac{1}{2 \cdot n \cdot \tau_d} \quad (1)$$

dengan f_{osc} merupakan frekuensi osilasi, n adalah jumlah tahap inverter, dan τ_d adalah waktu tunda propagasi rata-rata dari setiap inverter. Waktu tunda τ_d didefinisikan sebagai durasi yang diperlukan sinyal masukan inverter untuk mencapai level keluaran yang berlawanan, dan nilainya dipengaruhi oleh parameter transistor, beban kapasitif, serta tegangan suplai. Frekuensi osilasi *ring oscillator* dapat diubah dengan dua pendekatan utama, yaitu dengan mengubah jumlah tahap inverter atau dengan memodifikasi waktu tunda masing-masing inverter melalui pengaturan dimensi transistor dan kondisi bias. Namun, penurunan jumlah tahap untuk meningkatkan frekuensi sering kali dibatasi oleh kebutuhan kestabilan osilasi dan konsumsi daya. Selain itu, perolehan rumus analitik yang akurat untuk τ_d menjadi sulit karena adanya nonlinieritas karakteristik transistor CMOS serta efek parasitik yang muncul pada level rangkaian dan tata letak [12]. Pada penelitian ini, jumlah tahap sembilan dipilih untuk memastikan tercapainya frekuensi target 2,4 GHz dengan tetap mempertahankan kestabilan osilasi dan efisiensi daya. Pendekatan ini memungkinkan evaluasi karakteristik ring oscillator secara realistis melalui simulasi transistor-level, sehingga hasil yang diperoleh dapat mencerminkan perilaku rangkaian pada implementasi terintegrasi berbasis teknologi CMOS 45 nm.

2.2. Parameter Desain dan Teknologi

Perancangan *ring oscillator* 9 tahap dilakukan menggunakan teknologi CMOS 45 nm dengan model transistor berbasis *Predictive Technology Model* (PTM). Model NMOS dan PMOS yang digunakan merupakan customized PTM 45 nm dengan model BSIM4. Berdasarkan model card, transistor NMOS dan PMOS didefinisikan menggunakan *LEVEL=54* dan *VERSION=4.0*, yang menunjukkan penggunaan model BSIM4. Model tersebut mencakup parameter listrik dan teknologi yang diperlukan untuk merepresentasikan karakteristik transistor CMOS skala nanometer, termasuk tegangan ambang, mobilitas pembawa, kecepatan saturasi, kapasitansi parasitik, efek kanal pendek, dan karakteristik temperatur.

Model NMOS dan PMOS berjalan pada kondisi *typical-typical* (TT) dan temperatur nominal model sebesar 27 °C. Parameter utama model yang digunakan dalam simulasi dirangkum pada Tabel 1. Penggunaan model PTM 45 nm berbasis BSIM4 dilakukan untuk memastikan bahwa karakteristik transistor yang digunakan dalam evaluasi frekuensi osilasi dan konsumsi daya merepresentasikan perilaku perangkat pada teknologi CMOS 45 nm. Pemilihan teknologi 45 nm didasarkan pada kemampuannya untuk mendukung operasi berfrekuensi tinggi dengan konsumsi daya yang relatif rendah, sekaligus masih relevan sebagai platform penelitian rangkaian analog dan *mixed-signal*. Pada skala teknologi ini, karakteristik transistor CMOS memungkinkan tercapainya waktu tunda yang cukup kecil untuk menghasilkan osilasi pada rentang frekuensi *gigahertz* tanpa memerlukan komponen pasif eksternal.

Spesifikasi desain utama ditentukan dengan mempertimbangkan target frekuensi osilasi 2,4 GHz, kestabilan operasi, serta efisiensi daya. Parameter kunci yang ditetapkan meliputi jumlah tahap *inverter*, dimensi transistor PMOS dan NMOS, tegangan suplai, serta konfigurasi beban kapasitif internal. Jumlah tahap inverter ditetapkan sebanyak sembilan untuk memperoleh hasil antara frekuensi osilasi dan kestabilan sinyal. Dimensi transistor pada setiap inverter dirancang dengan panjang kanal yang mengikuti parameter minimum teknologi proses untuk memaksimalkan kecepatan switching. Lebar kanal transistor NMOS dan PMOS dipilih dengan rasio tertentu untuk menyeimbangkan kekuatan *pull-up* dan *pull-down*, sehingga diperoleh karakteristik peralihan tegangan yang simetris dan waktu tunda propagasi yang konsisten. Pengaturan rasio lebar transistor ini merupakan aspek penting dalam perancangan inverter CMOS, karena secara langsung memengaruhi arus dinamis, waktu tunda, dan konsumsi daya rangkaian [15].

Tabel 1. Parameter model transistor untuk ring oscillator 9 tahap

Parameter	NMOS	PMOS
Model	BSIM4	BSIM4
Level	54	54
Version	4.0	4.0
Teknologi	45 nm	45 nm
Corner	TT	TT
T _{nom}	27 °C	27 °C
V _{TH0}	0,471 V	-0,423 V
t _{ox}	1,75 nm	1,85 nm
L _{int}	3,75 nm	3,75 nm
Lebar (W)	10 µm	20 µm
Panjang Kanal (L)	45 nm	45 nm
V _{DD}	1,0 V	1,0 V

2.3. Simulasi dan Analisis

Prosedur simulasi dan analisis pada penelitian ini dilakukan untuk mengevaluasi kinerja *ring oscillator* 9 tahap CMOS 45 nm yang telah dirancang, khususnya dari aspek frekuensi osilasi, konsumsi daya, karakteristik spektral, dan efisiensi desain. Seluruh evaluasi dilakukan pada level transistor untuk memperoleh hasil yang merepresentasikan perilaku rangkaian secara realistis pada implementasi terintegrasi. Perancangan skematik dan tata letak rangkaian dilakukan menggunakan *Electric VLSI Design System*, sebuah perangkat lunak *open-source* yang mendukung perancangan rangkaian terintegrasi berbasis CMOS, termasuk verifikasi *Design Rule Check* (DRC) dan ekstraksi parasitik dasar. *Electric* digunakan untuk membangun struktur *inverter* CMOS dan menghubungkannya dalam konfigurasi *ring oscillator* sembilan tahap sesuai dengan spesifikasi desain yang telah ditetapkan [16]. Setelah tahap perancangan selesai, rangkaian diekspor ke bagian simulasi menggunakan LTspice, yang merupakan simulator rangkaian analog berbasis SPICE dan banyak digunakan untuk analisis rangkaian analog dan *mixed-signal*. LTspice digunakan untuk menjalankan simulasi transien (*transient analysis*) yang berguna memverifikasi kemampuan rangkaian dalam menghasilkan osilasi yang stabil, serta untuk menentukan frekuensi osilasi dan konsumsi daya rata-rata berdasarkan respons waktu rangkaian [17].

Selain analisis pada domain waktu, dilakukan pula analisis spektrum frekuensi menggunakan *Fast Fourier Transform* (FFT) terhadap sinyal keluaran. Analisis FFT digunakan untuk mengidentifikasi komponen frekuensi dominan dan keberadaan harmonisa, sehingga dapat diverifikasi bahwa frekuensi utama yang dihasilkan sesuai dengan target desain 2,4 GHz. Meskipun analisis FFT tidak secara langsung merepresentasikan *phase noise*, pendekatan ini memberikan gambaran awal mengenai kualitas spektral sinyal keluaran. Untuk mengevaluasi efisiensi desain secara kuantitatif, digunakan *Figure of Merit* (FoM) berbasis daya-frekuensi. FoM ini dipilih karena sesuai untuk *ring oscillator free-running* dan tidak bergantung pada pengukuran *phase noise*, yang umumnya memerlukan metode simulasi khusus. *Figure of Merit* yang digunakan dalam penelitian ini didefinisikan sebagai:

$$\text{FoM}_{PF} = \frac{f_{osc}}{P} \quad (2)$$

dengan f_{osc} merupakan frekuensi osilasi dan P adalah daya rata-rata yang dikonsumsi rangkaian. Nilai FoM yang lebih besar menunjukkan efisiensi desain yang lebih baik, karena mengindikasikan kemampuan rangkaian untuk menghasilkan frekuensi tinggi dengan konsumsi daya yang rendah. Definisi FoM digunakan untuk kajian *ring oscillator* berdaya rendah sebagai metrik perbandingan sederhana antar desain [15].

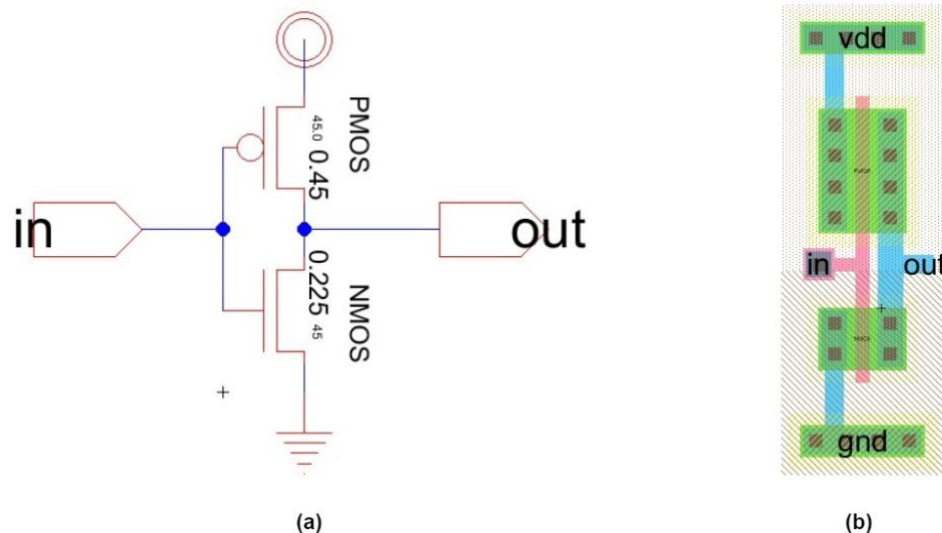
3. HASIL DAN PEMBAHASAN

Bagian ini membahas hasil perancangan dan simulasi *ring oscillator* 9 tahap CMOS 45 nm yang ditujukan untuk aplikasi nirkabel terintegrasi pada frekuensi 2,4 GHz. Evaluasi kinerja dilakukan melalui analisis bentuk gelombang keluaran, frekuensi osilasi, konsumsi daya, serta karakteristik spektrum frekuensi sinyal keluaran.

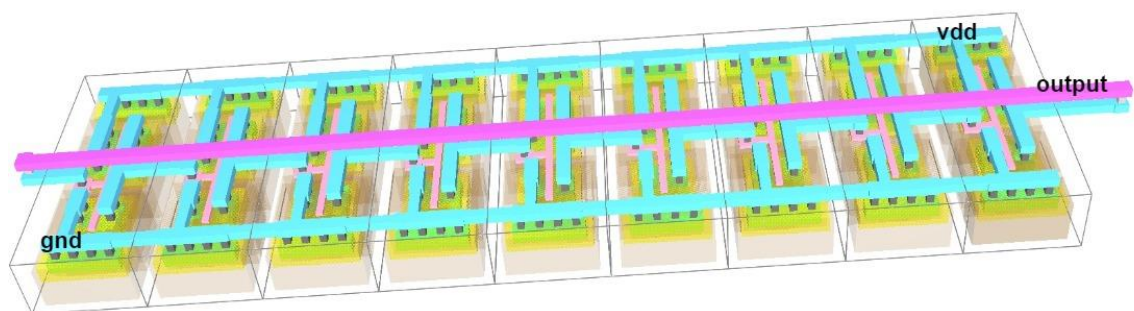
3.1. Hasil Perancangan Ring Oscillator

Hasil perancangan rangkaian *ring oscillator* menunjukkan bahwa struktur 9 tahap dapat direalisasikan secara penuh menggunakan inverter CMOS berbasis teknologi 45 nm yang ditunjukkan pada Gambar 3.a dan 3.b. Tata letak rangkaian berhasil divalidasi tanpa adanya pelanggaran aturan desain, yang menunjukkan bahwa struktur rangkaian layak untuk direalisasikan dalam sistem terintegrasi. Ukuran tata letak yang relatif kecil mencerminkan salah satu keunggulan utama *ring*

oscillator, yaitu kemudahan integrasi pada sistem *system-on-chip* (SoC) yang memiliki keterbatasan area. Struktur inverter yang digunakan pada setiap tahap dirancang untuk menghasilkan waktu tunda propagasi yang sesuai dengan kebutuhan frekuensi target. Dengan konfigurasi sembilan tahap *inverter* seperti yang ditunjukkan pada Gambar 4, rangkaian mampu menghasilkan kondisi osilasi berkelanjutan tanpa memerlukan komponen pasif eksternal, sehingga mendukung penerapan pada aplikasi nirkabel terintegrasi berbiaya rendah.



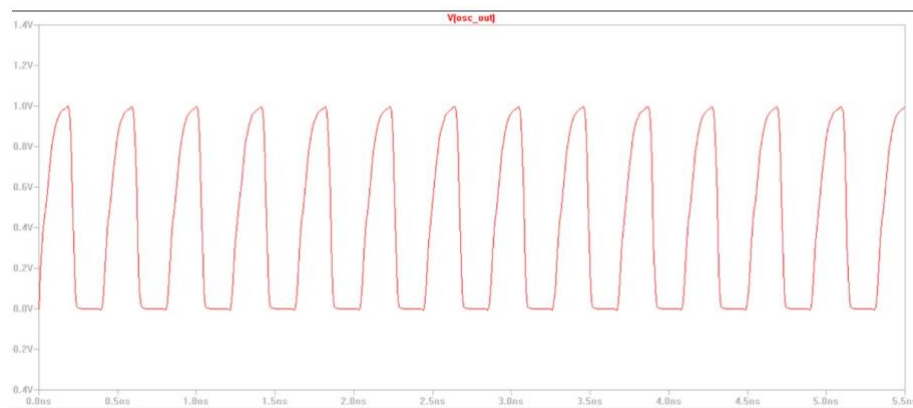
Gambar 3. Perancangan *inverter* pada *Electric* (a) skematik dan (b) *lay-out*



Gambar 4. *Lay-out 3D ring oscillator* 9 tahap

3.2. Analisis Simulasi Transien dan Frekuensi Osilasi

Gambar 5 menunjukkan hasil simulasi transien pra-layout dari tegangan keluaran (V_{osc_out}) pada *ring oscillator* CMOS 9 tahap. Pada awal simulasi, rangkaian mengalami fase startup transient yang ditandai oleh perubahan bentuk gelombang sebelum mencapai kondisi osilasi periodik. Pada fase awal tersebut terlihat sedikit ketidaksimetrian respons transien dan deviasi kecil pada bentuk gelombang. Kondisi tersebut berkaitan dengan proses awal pengisian dan pengosongan kapasitansi internal transistor pada setiap tahap inverter. Setelah fase startup terlewati, keluaran menunjukkan osilasi periodik dengan level tegangan tinggi mendekati 1,0 V dan level tegangan rendah mendekati 0 V. Berdasarkan periode osilasi, rangkaian menghasilkan frekuensi sekitar 2,44 GHz dengan periode 409 ps. Kestabilan osilasi pada penelitian ini didefinisikan berdasarkan tercapainya kondisi *steady-state* dengan periode yang relatif konstan setelah fase startup, bukan berdasarkan bentuk gelombang selama keseluruhan interval transien.

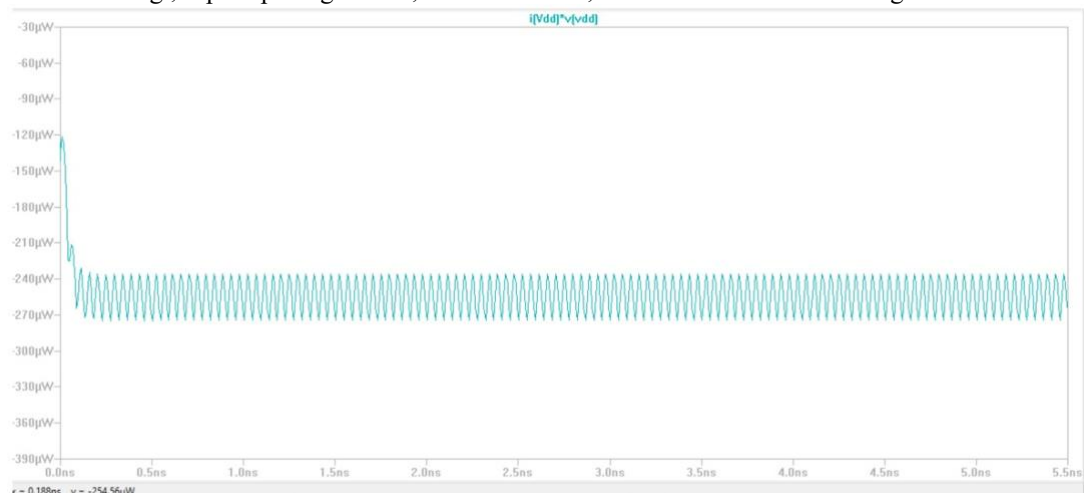


Gambar 5. Hasil simulasi transien *ring oscillator* 9 tahap

Ketidaksimetrian antara transisi naik dan turun juga terlihat pada bentuk gelombang. Perbedaan tersebut dapat berkaitan dengan perbedaan karakteristik switching transistor NMOS dan PMOS serta rasio ukuran transistor yang digunakan. Karena hasil pada Gambar 5 diperoleh dari simulasi pre-layout, efek parasitik yang bergantung pada tata letak, seperti kapasitansi interkoneksi, kapasitansi junction, dan kapasitansi coupling antarjalur, belum diekstraksi secara eksplisit dalam simulasi ini. Analisis post-layout extraction menjadi bagian yang penting untuk pekerjaan lanjutan untuk mengevaluasi pengaruh parasitik interkoneksi terhadap performa ring oscillator.

3.3. Analisis Konsumsi Daya

Analisis konsumsi daya dilakukan dengan mengamati arus suplai selama simulasi transien dan menghitung daya rata-rata yang dikonsumsi rangkaian. Hasil simulasi menunjukkan bahwa pada fase awal osilasi terjadi lonjakan konsumsi daya akibat proses *switching* awal pada *inverter*. Setelah kondisi *steady-state* tercapai, konsumsi daya menunjukkan pola periodik yang stabil seiring dengan aktivitas *switching inverter* CMOS. Gambar 6. menunjukkan daya rata-rata yang dikonsumsi oleh *ring oscillator* 9 tahap tercatat sebesar sekitar 254 μW pada tegangan suplai 1,0 V. Nilai ini menunjukkan bahwa rangkaian mampu beroperasi pada frekuensi *gigahertz* dengan konsumsi daya yang relatif rendah. Efisiensi daya ini dipengaruhi oleh penggunaan teknologi CMOS 45 nm, tegangan suplai rendah, serta struktur rangkaian yang tidak memerlukan komponen pasif eksternal. Konsumsi daya yang rendah menjadikan desain ini relevan untuk aplikasi nirkabel terintegrasi yang menuntut efisiensi energi, seperti perangkat IoT, sensor nirkabel, dan modul komunikasi dengan baterai.



Gambar 6. Grafik konsumsi daya *ring oscillator* 9 tahap

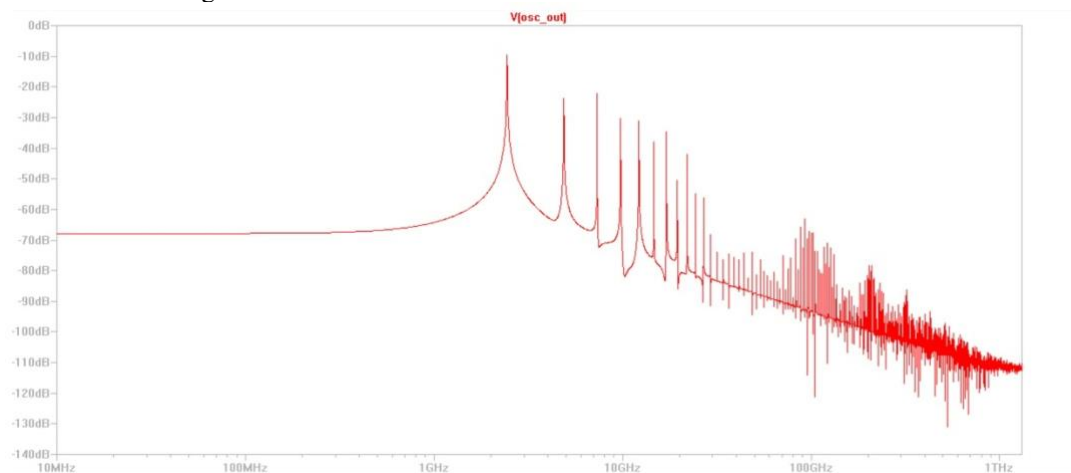
Dengan frekuensi osilasi sebesar 2,44 GHz dan konsumsi daya rata-rata 254 μW , diperoleh nilai FoM_{PF} sebesar 9,61 GHz/mW. Nilai FoM yang relatif tinggi ini mengindikasikan bahwa desain ring oscillator 9 tahap CMOS 45 nm yang diusulkan memiliki efisiensi daya yang kompetitif dibandingkan dengan beberapa desain *ring oscillator* dan *ring-VCO* yang lain.

3.4. Analisis Spektrum Frekuensi

Analisis spektrum frekuensi dilakukan menggunakan *fast fourier transform* (FFT) terhadap sinyal keluaran *ring oscillator*. Pada Gambar 7. hasil analisis FFT menunjukkan adanya puncak frekuensi dominan sekitar 2,44 GHz, yang sesuai dengan hasil analisis frekuensi pada domain waktu. Keberadaan puncak frekuensi utama yang jelas menunjukkan bahwa rangkaian mampu menghasilkan sinyal osilasi dengan komponen frekuensi yang terdefinisi dengan baik. Selain frekuensi dasar, spektrum frekuensi juga memperlihatkan keberadaan harmonisa dengan amplitudo yang lebih rendah. Hal ini merupakan karakteristik umum dari sinyal digital berbentuk gelombang kotak. Meskipun demikian, dominasi frekuensi utama menunjukkan bahwa *ring oscillator* ini tetap layak digunakan sebagai pembangkit frekuensi pada sistem nirkabel terintegrasi, terutama pada aplikasi yang tidak memerlukan persyaratan *phase noise* yang sangat ketat.

3.5. Perbandingan Desain dengan Literatur

Tabel 2. menyajikan perbandingan kinerja *ring oscillator* dan *ring-VCO* dari beberapa penelitian terkait yang beroperasi pada frekuensi sekitar 2,4 GHz. Selain frekuensi dan konsumsi daya, tegangan suplai (V_{DD}) ditambahkan sebagai parameter penting karena secara langsung memengaruhi daya dinamis, margin tegangan, serta kestabilan operasi rangkaian CMOS. Desain yang dilaporkan oleh Burnett dkk. (2021) menunjukkan nilai FoM_{PF} tertinggi, yaitu 22,9 GHz/mW, yang dicapai melalui penggunaan *ring oscillator free-running* dengan tegangan suplai rendah dan optimasi khusus untuk IoT berukuran sangat kecil.



Gambar 7. Spektrum frekuensi *ring oscillator* 9 tahap

Sebaliknya, desain berbasis *phase-locked loop* (PLL) atau ADPLL, seperti yang dilaporkan oleh Chen dkk. (2022) dan Hu dkk. (2024), umumnya beroperasi pada tegangan suplai yang lebih tinggi dan menunjukkan konsumsi daya yang jauh lebih besar. Hal ini disebabkan oleh blok tambahan seperti *phase detector*, *loop filter*, dan pembagi frekuensi, yang meningkatkan kompleksitas rangkaian serta daya total sistem. Akibatnya, nilai FoM_{PF} pada desain-desain tersebut relatif lebih rendah meskipun menawarkan kestabilan frekuensi dan *jitter* yang lebih baik. Penelitian Patrinos dan Souliotis (2025) menunjukkan pemilihan desain yang menarik dengan menerapkan kompensasi variasi proses dan temperatur pada *ring-VCO*. Meskipun menggunakan teknologi yang lebih maju dan tegangan suplai lebih rendah, konsumsi daya tambahan akibat mekanisme kompensasi menyebabkan nilai FoM_{PF} berada pada tingkat menengah dibandingkan desain lain pada table.

Pada penelitian ini, *ring oscillator* 9 tahap CMOS 45 nm beroperasi pada tegangan suplai 1,0 V dan menghasilkan frekuensi osilasi 2,44 GHz dengan konsumsi daya 254 μ W. Nilai FoM_{PF} sebesar 9,61 GHz/mW menunjukkan bahwa desain yang diusulkan memiliki efisiensi daya yang kompetitif, terutama jika dibandingkan dengan desain berbasis PLL dan *ring-VCO* yang lebih kompleks. Meskipun FoM_{PF} yang dicapai masih lebih rendah dibandingkan desain *free-running ultra-low-power* tertentu, hasil ini mencerminkan kompromi yang seimbang antara frekuensi operasi, konsumsi daya, dan kesederhanaan arsitektur. Secara keseluruhan, hasil komparasi ini menegaskan bahwa *ring oscillator* 9 tahap CMOS 45 nm yang diusulkan relevan untuk aplikasi nirkabel terintegrasi berdaya rendah, khususnya pada sistem SoC yang membutuhkan pembangkit frekuensi sederhana dengan efisiensi energi yang baik tanpa kompleksitas tambahan dari sistem penguncian frekuensi.

Tabel 2. Komparasi kinerja *ring oscillator* / *ring-VCO* untuk aplikasi nirkabel terintegrasi

Referensi	Jenis Rangkaian	Teknologi	V _{DD} (V)	Frekuensi	Daya	FoMPF (GHz/mW)
Burnett dkk. (2021) [5]	<i>Ring oscillator free-running</i>	CMOS	0,9	2,4 GHz	105 μ W	22,9
Chen dkk. (2022) [6]	ADPLL berbasis ring-VCO	40 nm CMOS	1,1	2,4 GHz	1,4 mW	1,71
Hu dkk. (2024) [10]	PLL berbasis ring-VCO	65 nm CMOS	1,2	2,4 GHz	4,05 mW	0,59
Patrinos dan Souliotis (2025) [14]	Ring-VCO + kompensasi PVT	22 nm CMOS	0,8	2,5 GHz	380 μ W	6,58
Penelitian ini	<i>Ring oscillator 9-stage free-running</i>	45 nm CMOS	1,0	2,44 GHz	254 μ W	9,61

4. KESIMPULAN

Penelitian ini menyajikan desain dan analisis *ring oscillator* 9 tahap berbasis teknologi CMOS 45 nm yang ditujukan untuk aplikasi nirkabel terintegrasi pada frekuensi 2,4 GHz. Perancangan dilakukan pada tingkat transistor menggunakan inverter CMOS dengan model customized PTM 45 nm berbasis BSIM4 pada kondisi TT. Berdasarkan hasil simulasi pra-layout pada level transistor, rangkaian yang diusulkan mampu menghasilkan osilasi yang cukup stabil dengan frekuensi sebesar 2,44 GHz pada tegangan suplai 1,0 V. Analisis konsumsi daya menunjukkan bahwa *ring oscillator* 9 tahap ini mengonsumsi daya rata-rata sebesar 254 μ W. Evaluasi efisiensi desain menggunakan *Figure of Merit* berbasis daya-frekuensi menghasilkan nilai FoM sebesar 9,61 GHz/mW.

Meskipun demikian, penelitian ini memiliki beberapa keterbatasan. Seluruh hasil yang dilaporkan diperoleh melalui simulasi pra-layout pada level transistor, sehingga pengaruh parasitik yang bergantung pada tata letak, seperti kapasitansi interkoneksi, kapasitansi junction, dan coupling antarjalur, belum dievaluasi melalui ekstraksi parasitik dan simulasi post-layout. Selain itu, evaluasi pada penelitian ini masih menggunakan kondisi model TT dan belum mencakup analisis variasi *Process Voltage Temperature* (PVT). Oleh karena itu, hasil frekuensi 2,44 GHz dan konsumsi daya 254 μ W belum dapat digunakan untuk menyatakan ketahanan desain terhadap variasi proses, tegangan suplai, dan temperatur maupun sebagai representasi langsung dari performa rangkaian hasil fabrikasi.

Penelitian selanjutnya dapat diarahkan pada beberapa pengembangan, yaitu melakukan *layout-aware design* dan *post-layout simulation* menggunakan hasil ekstraksi parasitik, melakukan analisis PVT untuk mengevaluasi stabilitas frekuensi terhadap variasi proses, tegangan, dan temperatur, serta menambahkan rangkaian kompensasi PVT untuk meningkatkan kestabilan frekuensi. Selain itu, fabrikasi dan pengukuran silicon prototype diperlukan untuk memvalidasi hasil simulasi pada kondisi perangkat fisik. Pengembangan tersebut diharapkan dapat meningkatkan keandalan dan kesiapan *ring oscillator* untuk diterapkan sebagai pembangkit frekuensi pada sistem nirkabel terintegrasi berdaya rendah.

REFERENSI

- [1] IEEE Std. 802.11, "Wireless LAN medium access control (MAC) and physical layer (PHY) specifications," 2016.
- [2] B. Razavi, RF Microelectronics, 2nd ed. Upper Saddle River, NJ, USA: Prentice Hall, 2012.
- [3] M. K. Mandai and B. C. Sarkar, "Ring oscillators: Characteristics and applications," Indian J. Pure Appl. Phys., vol. 48, no. 2, pp. 136–145, 2010.
- [4] C. Stancu et al., "Temperature and power-supply compensated CMOS design starting from a ring oscillator core," Electronics, vol. 12, no. 3, p. 507, 2023.
- [5] D. C. Burnett et al., "Free-running 2.4 GHz ring-oscillator-based FSK TX/RX for ultra-small IoT motes," Proc. European Microwave Integrated Circuits Conf. (EuMIC), 2021.
- [6] Q. Chen et al., "A low-power ADPLL with calibration-free RO-based injection-locking TDC for BLE applications," Electronics, vol. 11, no. 13, p. 1953, 2022.
- [7] G. Souliotis and D. Patrinos, "Temperature-compensated ring-oscillator-based VCO for low-power applications," Microelectron. Reliab., vol. 132, p. 114651, 2022.
- [8] Y. Zeng et al., "A low-power PLL with 1 V supply voltage using CMOS technology," J. Circuits Syst. Comput., vol. 33, no. 2, p. 2450021, 2024.
- [9] Y. Li et al., "A compact, low-power, and low-jitter fractional-N PLL with a single-ended ring VCO in a

- 12 nm CMOS FinFET,” *Electronics*, vol. 13, no. 13, p. 2617, 2024.
- [10] J. Hu et al., “A 2.4-GHz ring-VCO-based time-to-voltage conversion PLL achieving low-jitter and low-spur performance,” *Microelectron. J.*, vol. 143, p. 106061, 2024.
- [11] P. R. Kinget, “Integrated GHz voltage-controlled oscillators,” in *Proc. IEEE Custom Integrated Circuits Conf. (CICC)*, 1998, pp. 521–528.
- [12] K. Kundert, J. White, and A. Sangiovanni-Vincentelli, “Steady-State Methods for Simulating Analog and Microwave Circuits”. Norwell, MA, USA: Kluwer Academic Publishers, 1990.
- [13] J. Wu et al., “Temperature-compensated and gated CMOS ring oscillator,” *Analog Integr. Circuits Signal Process.*, vol. 92, no. 3, pp. 425–433, 2017.
- [14] D. Patrinos and G. Souliotis, “A low-voltage, low-power 2.5 GHz ring oscillator with process and temperature compensation,” *J. Low Power Electron. Appl.*, vol. 15, no. 3, p. 52, 2025, doi: 10.3390/jlpea15030052.
- [15] R. J. Baker, *CMOS Circuit Design, Layout, and Simulation*, 4th ed. Hoboken, NJ, USA: Wiley, 2019.
- [16] S. M. Rubin and L. A. Glasser, *The Electric VLSI Design System. Electric Design Tools*, 2020.
- [17] Analog Devices, “LTspice user guide,” 2023.